

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. H04J 13/04		(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년06월20일 10-0340829 2002년06월03일
(21) 출원번호	10-1999-7000898	(65) 공개번호	특2000-0068038
(22) 출원일자	1999년02월02일	(43) 공개일자	2000년11월25일
번역문 제출일자	1999년02월02일		
(86) 국제출원번호	PCT/JP1997/03224		
(86) 국제출원출원일자	1997년09월12일		
(87) 국제공개번호	WO 1998/59451		
(87) 국제공개일자	1998년12월30일		
(81) 지정국	국내특허: 알바니아, 오스트레일리아, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 캐나다, 중국, 쿠바, 체코, 에스토니아, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 대한민국, 세인트루시아, 스리랑카, 라이베리아, 리투아니아, 라트비아, 마다가스카르, 마케도니아, 몽고, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 터어키, 트리니다드토바고, 우크라이나, 미국, 우즈베키스탄, 베트남, 폴란드, 루마니아, 싱가포르, 인도네시아 AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 짐바브웨 EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄 EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴 OA OAPI특허: 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드		
(30) 우선권주장	97-164202 1997년06월20일 일본(JP)		
(73) 특허권자	미쓰비시덴키 가부시기가이샤, 다니구찌 이찌로오, 기타오카 다카시 일본 000-000 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고		
(72) 발명자	무라이히데시 일본 일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시기가이샤내 타치카히사오 일본 일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시기가이샤내		
(74) 대리인	이병호		
(77) 심사청구	심사관: 정용주		
(54) 출원명	가변 속도 전송 방법 및 가변 속도 전송 장치		

명세서

기술분야

본 발명은 CDMA 방식의 이동 통신 시스템에 사용하는 스펙트럼 확산 통신 장치에 관한 것으로서, 특히 안정된 고속 전송을 행하는 CDMA 방식의 가변 속도 전송 방법 및 이 방법에 근거한 가변 속도 전송 장치에 관한 것이다.

배경기술

제 3 세대 이동 통신의 시스템 구축을 목표로 하여 활발히 연구 개발이 행해지고 있다. 차세대 시스템에서는, 멀티미디어 통신이 주류가 된다고 생각되기 때문에, 대용량화 및 필요로 하는 최소한의 송신 전력으로, 다양한 레이트의 데이터를 플렉시블(flexible)하면서 고품질로 전송하는 기능이 요청된다. 이 차세대 이동 무선 액세스로서, 스펙트럼 확산 통신을 이용한 다원 접속 방식, 즉 CDMA(Code Division Multiple Access, 부호 분할 다원 접속) 방식이 주목받고 있다.

직접 확산에 의한 스펙트럼 확산 통신은, 정보 신호에 확산 부호를 승적(乘積)함으로써 정보 신호의 스펙트럼을 광대역으로 확산하고, 정보 신호 대역보다 넓은 전송 대역에서 정보를 전송하는 통신이고, 비화성(秘話性), 내간섭성, 내페이딩성, 다원 접속성과 같은 특징을 갖고 있다. 다원 접속 방식이란, 복수의 이동국이 기지국과 동시에 통신하는 접속 방식이다. 스펙트럼 확산 통신의 성능은 확산율에 의존한다. 확산율이란 전송 대역과 정보 신호 대역과의 비, 즉, 확산 부호 속도와 정보 전송 속도의 비이다. 확산율을 데시벨(dB)표시한 것은 처리 이득이라 불린다. 예를 들면, 정보 전송 속도가 10kbps에서 확산 부호 속도가 1Mcps (chips per second)인 경우, 확산율은 100, 처리 이득은 20dB로 된다.

상기한 바와 같이, 스펙트럼 확산 통신을 이용한 다원 접속 방식은 CDMA라 불리고 있다. 이 CDMA 방식에서는, 이용자 또는 채널마다 다른 확산 부호를 사용하여, 확산 부호에 의해 이용자 또는 채널을 식별한다.

CDMA 방식은 채널 용량(동일 대역에서의 채널 수)이 TDMA(Time Division Multiple Access, 시분할 다원 접속) 방식 등의 다른 다원 접속 방식보다도 우수한 것이, 예를 들면 하기의 문헌에서 길하우젠 등에 의해 보고되어 있다. 그 문헌은 다음과 같다. 즉, 『“셀룰러 CDMA 시스템의 용량에 관해서(On the Capacity of a Cellular CDMA System)”, IEEE Transactions on Vehicular Technology vol. 40, No. 2, 5월, 1991』이다.

이 밖에도, CDMA 방식은, 모든 무선 셀(무선 존)에 있어서 동일한 주파수 사용을 허용하는 액세스 방식이기 때문에, TDMA 방식에서는 곤란하던 디버서티 핸드오프(Diversity Handoff)(또는 Soft Handoff)가 비교적 용이하게 실현되는 이점을 갖고 있다. 또한 TDMA 방식에서는 열화 원인이 되는 멀티패스 신호를 RAKE 수신에 의해 분리 식별하고, 반대로 효과적으로 합성할 수 있으므로, 적은 송신 전력으로 우수한 전송 품질을 확보할 수 있다는 특징도 갖고 있다.

도 1은 종래의 코히어런트 멀티코드(coherent multicode) DS-SS(Direct Sequence CDMA)에서의 업링크 송신계를 도시하는 블록도이다. 이 업링크 송신계에서는, 1개의 패킷 프레임의 길이가 10ms이고, 이용자 데이터와 제어 데이터가 시간적으로 다중화되어 있다. 프레임 에러를 검출하기 위해서 16비트 CRC(Cyclic Redundancy Check)를 사용하여 에러 검출 부호화를 행하고 6비트의 테일 비트(Tail)를 추가하여 확산 과정의 일부에 포함되어 있는 레이트 1/3의 컨벌루션 부호화를 하고 있다. 이 종래 예에서는 1프레임마다 에러 검출 처리가 완결되므로, 패킷 전송으로의 적용이 가능한 구조로 되어 있다.

도 2A 및 도 2B는 도 1에 도시하는 종래의 업링크 송신계에서의 인터리브 후의 부호화 데이터(Coded Data)에 대하여 페이딩 추정용을 위한 파일럿 심볼의 삽입을 도시하는 설명도이고, 도면에서, 도 2A는 송신 데이터의 전송 레이트(데이터 레이트)가 32 kbps 이하인 경우, 도 2B는 데이터 레이트가 128kbps 이하인 경우를 도시한다. 도 2A 및 도 2B에 도시하는 바와 같이, 비트 인터리브 후에 0.5ms마다 슬롯으로 분할하고, 32(128) kbps 코드 채널의 경우에, 4(16)비트의 파일럿을 삽입하고, 데이터 변조(QPSK)를 행하여(이 시점에서 2(8) 심볼의 파일럿 심볼로 된다), 2중 확산 코드로 확산 변조하고 있다. 이 종래 예에서는 쇼트 확산 코드로서 직교 골드 계열을, 롱 확산 코드로서 골드 계열(gold sequence)을 사용하고, 확산 변조에는 BPSK(다운링크), OQPSK(업링크)를 사용하고 있다.

도 3A 및 도 3B는 도 1에 도시하는 종래의 업링크 송신계에 있어서의 코히어런트 멀티코드 다중 전송에서의 파일럿 심볼의 삽입을 도시하는 설명도이고, 도면에서, 도 3A는 데이터 레이트가 소정의 레이트, 예를 들면 32(128) kbps보다 낮은 경우, 도 3B는 데이터 레이트가 32(128) kbps보다 높은 경우를 도시한다. 고속 레이트의 데이터 전송시(32/128 kbps 이상)에는, 송신 데이터 계열(sequence)을 에러 정정 부호화 비트 인터리브 후에 복수의 코드 채널로 분할하여 각각 독립적으로 데이터 변조(확산 변조)한다. 이 경우, 레이트 1/3의 컨벌루션 부호를 내부호로 하고, 외부호로 1 심볼을 8 비트로 하는 리드 솔로몬 부호 RS(40, 34)를 사용하는 연접 부호화를 적용하고 있다. 전파로(propagation path)는, 모든 코드 채널에서 공통이므로, 도 3A 및 도 3B에 도시하는 바와 같이 업링크에서는 페이딩 추정용의 파일럿 심볼을 제 1 코드 채널에만 삽입하고 있다.

상기한 종래의 코히어런트 멀티코드 DS-SS(Direct Sequence CDMA)의 업링크 송신계에 대표되는 멀티코드 다중 CDMA 방식에서는, 송신 신호의 데이터 레이트가 고속이 되면 파워 앰프의 선형성을 유지하는 것이 곤란해지고, 인접 주파수대로의 간섭량이 증대한다고 하는 과제가 있었다. 즉, 종래의 멀티코드 다중 CDMA 방식의 통신 장치에서는, 송신 신호의 데이터 레이트가 고속이 됨에 따라서 멀티코드 다중화 수가 증대하고, 그 결과, 다중화 후의 포락선(包絡線)의 변동폭이 커진다. 전력 증폭에 사용되는 파워 앰프는, 통상 일정 범위내(선형 대역내)의 진폭 변동에 대하여는 충실히 전력 증폭을 행하지만, 진폭 변동폭이 그 한계를 넘은 경우에는 입출력 간의 선형성을 유지할 수 없게 되고, 비선형성에 기인하는 일그러짐이 인접 주파수대로의 간섭량의 증대를 초래한다는 과제가 있었다.

본 발명은 상기와 같은 과제를 해결하기 위해 이루어진 것으로, 데이터 레이트가 고속인 경우라도 파워 앰프의 선형성을 유지할 수 있고, 간단한 하드웨어 구성으로 고품질의 데이터 전송을 제공 가능한 가변 속도 전송 방법 및 이 가변 속도 전송 방법을 사용한 가변 속도 전송 장치를 얻는 것을 목적으로 한다.

발명의 상세한 설명

본 발명에 따른 가변 속도 전송 장치는, 데이터 신호의 전송 레이트가 소정의 전송 레이트 이상인 경우는, 배직교(陪直交) 신호를 사용하여 데이터 신호를 2치(値) 계열의 상태에서 확산 변조하여 전송하는 수단을 구비한 것이다.

이에 따라, 고속의 데이터 레이트의 경우라도 파워 앰프의 선형성을 유지할 수가 있고, 간단한 하드웨어 구성으로 인접 주파수대로 간섭을 제공하지 않고 고품질의 데이터 전송을 실행할 수 있는 효과를 갖는다.

본 발명에 따른 가변 속도 전송 장치는, 데이터 신호에 대하여 에러 정정 부호 처리 등의 일련의 신호 처리를 행하는 신호 처리 수단 및 상기 신호 처리 수단의 출력에 대하여 직렬/병렬 변환을 행하는 제 1 직렬/병렬 컨버터를 또한 구비하고, 배직교 신호를 사용하여 상기 데이터 신호를 2차 계열의 상태로 확산 변조하여 전송하도록 하는 수단은, 상기 제 1 직렬/병렬 컨버터로부터 출력되는 병렬 출력 신호에 대해, 배직교 신호를 사용하여 2차 계열의 상태로 확산 변조하여 전송하도록 한 것이다.

이에 따라, 고속의 데이터 레이트인 경우라도 파워 앰프 출력의 선형성을 유지할 수가 있어, 간단한 하드웨어 구성으로 인접 주파수대로의 간섭을 제공하지 않고 고품질의 데이터 전송을 실행할 수 있는 효과를 갖는다.

본 발명에 따른 가변 속도 전송 장치는, 데이터 신호를 직렬/병렬 변환하는 제 2 직렬/병렬 컨버터 및 상기 제 2 직렬/병렬 컨버터로부터 출력되는 병렬 데이터 신호의 각각에 대하여 설치되고, 소정의 에러 정정 부호 등의 일련의 신호 처리를 행하는 신호 처리 수단을 또한 구비하고, 배직교 신호를 사용하여 상기 데이터 신호를 2차 계열의 상태로 확산 변조하여 전송하는 수단은, 상기 신호 처리 수단에서 출력되는 출력 신호에 대하여 확산 변조하여 전송하도록 한 것이다.

이에 따라, 고속의 데이터 레이트의 경우라도, 일련의 신호 처리 속도는 모두 동일 속도로 행할 수 있어 하드웨어 설계를 용이하게 할 수 있고, 또한 파워 앰프의 선형성을 유지할 수가 있고, 간단한 하드웨어 구성으로 인접 주파수대로의 간섭을 주지 않고 고품질의 데이터 전송을 실행할 수 있는 효과를 갖는다.

본 발명에 따른 가변 속도 전송 장치는 배직교 신호를 사용하여 데이터 신호를 2차 계열의 상태에서 확산 변조하여 전송하는 수단이 Walsh 함수를 사용하여 배직교 신호를 생성하도록 한 것이다.

이에 따라, 용이하게 배직교 신호를 생성하여 송신, 검파하여, 고품질의 데이터 전송을 실행할 수 있는 효과를 갖는다.

본 발명에 따른 가변 속도 전송 방법은, 데이터 신호의 전송 레이트가 소정의 전송 레이트 이상인 경우는, 배직교 신호를 사용하여 데이터 신호를 2차 계열의 상태로 확산 변조하여 전송하도록 한 것이다.

이에 따라, 고속의 데이터 레이트의 경우라도 파워 앰프의 선형성을 유지할 수가 있고, 인접 주파수대로의 간섭을 주지 않고 고품질의 데이터 전송을 실행할 수 있는 효과를 갖는다.

본 발명에 따른 가변 속도 전송 방법은, 배직교 신호를 얻기 위해서 Walsh 함수를 사용하도록 한 것이다.

이에 따라, 배직교 신호를 용이하게 생성하여 송신, 검파할 수 있는 효과를 갖는다.

도면의 간단한 설명

도 1은 종래의 코히어런트 멀티코드 DS-CDMA에서의 업링크 송신계를 도시하는 블록도.

도 2A 및 도 2B는 도 1에 도시하는 종래의 업링크 송신계에서의 인터리브 후의 파일럿 삽입을 도시하는 설명도.

도 3A 및 도 3B는 도 1에 도시하는 종래의 업링크 송신계에서의 코히어런트 멀티코드 다중 전송에서의 파일럿 심볼의 삽입을 도시하는 설명도.

도 4는 본 발명의 실시예 1에 따른 가변 속도 전송 장치를 도시하는 블록도.

도 5는 도 4에 도시한 실시예 1의 가변 속도 전송 장치에서의 배직교 신호 발생부를 도시하는 블록도.

도 6은 도 4에 도시한 실시예 1의 가변 속도 전송 장치에서의 다른 배직교 신호 발생부를 도시하는 블록도.

도 7은 입력 신호의 데이터 레이트가 256kbps(K=2)인 경우의 가변 속도 전송 장치를 도시하는 블록도.

도 8은 입력 신호의 데이터 레이트가 384kbps(K=3)인 경우의 가변 속도 전송 장치를 도시하는 블록도.

도 9는 입력 신호의 데이터 레이트가 512kbps(K=4)인 경우의 가변 속도 전송 장치를 도시하는 블록도.

도 10은 입력 신호의 데이터 레이트가 128kbps인 경우의 가변 속도 전송 장치를 도시하는 블록도.

도 11A 내지 도 11C는 도 5에 도시하는 배직교 신호 발생부를 상세히 도시하는 블록도.

도 12A 및 도 12B는 도 6에 도시하는 배직교 신호 발생부를 상세히 도시하는 블록도.

도 13은 본 발명의 실시예 2에 따른 가변 속도 전송 장치를 도시하는 블록도.

도 14는 도 13에 도시한 실시예 2의 가변 속도 전송 장치에 있어서 입력 신호의 데이터 레이트가 128kbps인 경우의 구성을 도시하는 블록도.

도 15는 도 13에 도시한 실시예 2의 가변 속도 전송 장치에 있어서, 입력 신호의 데이터 레이트가 256kbps인 경우의 구성을 도시하는 블록도.

도 16은 도 13에 도시한 실시예 2의 가변 속도 전송 장치에 있어서 입력 신호의 데이터 레이트가 384kbps인 경우의 구성을 도시하는 블록도.

도 17은 도 13에 도시한 실시예 2의 가변 속도 전송 장치에 있어서 입력 신호의 데이터 레이트가 512kbps인 경우의 구성을 도시하는 블록도.

실시예

하기에서는, 본 발명을 보다 상세히 설명하기 위해서 본 발명을 실시하기 위한 최선의 형태에 관해서 첨부한 도면에 따라 설명한다.

<실시예 1>

도 4는 본 발명의 실시예 1에 따른 가변 속도 전송 장치를 도시하는 블록도이고, 도면에서, 1은 이용자 데이터 및 제어 데이터를 입력하여 프레임화하는 프레임부, 2는 FEC(Forward Error Correction : 에러 정정 부호화) 및 인터리버(신호 처리 수단), 3은 슬롯화부(신호 처리 수단), 4는 적응 변조부(배직교 신호를 사용하여 데이터 신호를 2차 계열의 상태로 확산 변조하여 전송하는 수단)이고, 예를 들어 Walsh 함수에 근거하여 배직교 신호를 발생하는 복수의 배직교 신호(Bi-Orthogonal signal : BORT) 발생부(4-1, 4-2)를 구비하고 있다. 5는 QPSK(Quarternary Phase-Shift Keying : QPSK) 스프레더, 6은 파워 앰프, 7은 안테나이다.

도 5는 도 4에 도시한 실시예 1의 가변 속도 전송 장치에서의 적응 변조부(4)를 구성하는 배직교 신호 발생부(4-1, 4-2)를 도시하는 블록도이고, 도면에 있어서, 21은 직렬/병렬 컨버터(이하, S/P 컨버터라 한다 : 제 1 직렬/병렬 컨버터), 22는 제어 신호에 따라서 Walsh 함수 계열 길이를 선택하고 입력 데이터에 따라서 직교 신호를 선택하여 발생하는 직교 신호 발생부이다. 23은 직교 신호의 극성을 결정하는 EXOR(배타적 논리합) 회로이다.

도 6은 도 4에 도시한 실시예 1의 가변 속도 전송 장치에서의 적응 변조부(4)를 구성하는 다른 배직교 신호 발생부(4-1, 4-2)를 도시하는 블록도이다. 도 5와의 차이는 제 1 S/P 컨버터(21)와 직교 신호 발생부(22) 사이에 심볼 매핑부(24)가 존재하는 점이다. 심볼 매핑부(24)는 입력 데이터와 배직교 신호의 매핑을 적정화하는 것이며, 이것에 의해 전송 특성의 향상이 도모된다.

도 7은 입력 신호의 데이터 레이트가 256kbps(K=2)인 경우의 가변 속도 전송 장치를 도시하는 블록도, 도 8은 입력 신호의 데이터 레이트가 384kbps(K=3)인 경우의 가변 속도 전송 장치를 도시하는 블록도, 도 9는 입력 신호의 데이터 레이트가 512kbps(K=4)인 경우의 가변 속도 전송 장치를 도시하는 블록도, 도 10은 입력 신호의 데이터 레이트가 128kbps(K=1)인 경우의 가변 속도 전송 장치를 도시하는 블록도이고, 각 실시예 1의 가변 속도 전송 장치의 각 데이터 레이트에서의 등가 회로를 나타내고 있다. 여기서, K는 배직교 신호에 포함되는 부호화 비트(부호화 데이터) 수를 나타내고 있다.

도 11A 내지 도 11C는 도 5에 도시하는 배직교 신호 발생부(4-1, 4-2)(K=4의 경우)를 상세히 도시하는 블록도이다. 도 11A 내지 도 11C에 있어서, 도 11A는 도 5에 도시한 적응 변조부(4-1, 4-2)를 도시하고 있는 블록도이고, 도 11B는 배직교 신호 발생부(4-1, 4-2)에 입력되는 입력 정보 데이터와 배직교 신호의 출력 데이터와의 관계를 도시하는 설명도, 도 11C는 도 5에 도시한 배직교 신호 발생부(4-1, 4-2)를 상세히 도시하는 블록도이고, 도면에 있어서, 221 내지 223은 논리적(論理積) 회로(이하, AND 회로라 한다), 224는 EXOR 회로이다.

도 4 ~ 도 11A 내지 도 11C에 도시하는 실시예 1의 가변 속도 전송 장치는, 데이터 신호를 확산 부호 계열을 사용하여 확산 변조하여 송신하는 가변 속도 전송 장치이고, 배직교 신호를 사용하여 데이터 신호의 전송을 행하는 것이다. 데이터 신호의 전송 레이트가 소정의 전송 레이트(예를 들면, 128kbps)를 넘는 레이트인 경우, 적응 변조부(4)내의 각각의 배직교 신호 발생부(4-1, 4-2)가, 부호화 데이터를 Walsh 함수에 극성을 갖게 한 배직교 신호로 변환하고, 그 출력을 QPSK 스프레더로 확산 변조한다. 즉, 2차 계열의 배직교 신호가 복수의 부호화 데이터를 전송하기 때문에 멀티코드 다중화 시에 생기는 포락선(包絡線) 변동을 수반하지 않고 효율적으로 데이터 전송을 한다.

다음에 동작에 관해서 설명한다.

우선, 도 4에 도시한 실시예 1의 가변 속도 전송 장치에서의 프레이밍부(1)는 소정의 데이터 전송 레이트의 이용자 데이터 및 제어 데이터를 입력하고, 소정의 프레임 시간으로 구분하여 출력한다. 소정의 데이터 전송 레이트는, 예를 들면, 2.4, 4.8, 9.6, 14.4, 16, 19.2, 32, 64, 128, 384, 2048 kbps 등이다. 이 실시예 1에서는 데이터 레이트가 128kbps를 넘는 경우에 있어서, 배직교 신호를 사용해서 데이터 신호를 2차 계열의 상태로 확산 변조하여 효율적으로 데이터 전송을 실행하는 것에 특징이 있다.

프레이밍부(1)로부터 출력된 이용자 데이터 및 제어 데이터는, FEC 인터리버(2)에 있어서 여러 정정 부호화 및 송신 순서의 교체가 행해진다. 여기서는 1 프레임마다 컨벌루션 부호화가 행해진다. 슬롯화부(3)는 FEC 인터리버(2)에서 실행된 인터리브 처리 후, 데이터를 소정 시간마다 슬롯으로 분할하고 파일럿을 삽입한다. 이들의 프레이밍부(1), FEC 인터리버(2), 슬롯화부(3)의 기능 및 구성은 종래의 것과 같으므로, 여기서는 설명을 생략한다.

파일럿이 삽입된 슬롯은 적응 변조부(4)에 입력된다. 적응 변조부(4)에서는, 데이터 전송 레이트가 128kbps를 넘는 데이터의 각 데이터 전송 레이트의 경우에 따라, 제어 신호에 따라서 Walsh 함수 계열을 선택하고, 입력되는 부호화 데이터에 따라 Walsh 함수를 선택하며, EXOR에 의한 극성 조작을 실행한 후에 얻어지는 배직교 신호를 출력한다. 즉, 제어 신호는 데이터에 따른 K(부호화 비트수)를 선택한다. 적응 변조부(4)의 기능 및 구성은 후에 상세히 설명한다.

QPSK 스프레더(5)는 적응 변조부(4)로부터 출력된 복수의 부호화 데이터 정보를 갖는 2계통의 배직교 신호를 입력으로 하고, 단코드 및 장코드를 사용하여 QPSK 확산 변조를 행한다. QPSK 스프레더(5)의 기능 및 구성은 종래의 것과 같기 때문에, 여기서는 설명을 생략한다. QPSK 스프레더(5)에서 QPSK 확산 변조된 신호는 직교 반송파를 사용하여 QPSK 캐리어 변조가 실행된 후, 파워 앰프(6)에서 증폭되고, 안테나(7)를 통해 송신된다.

도 7은 입력 신호의 데이터 전송 레이트가 256kbps(K=2)인 경우의 가변 속도 전송 장치를 도시하는 블록도이다. 슬롯화부(3)로부터의 데이터의 전송 레이트가 256kbps인 경우는, 배직교 신호 발생부(4-1, 4-2)내의 S/P 컨버터(21) 및 직교 신호 발생부(22)는, 입력 데이터를 2개의 병렬 신호로 분할하여 출력하며, 한쪽은 Walsh 함수의 W2(0)와 W2(1)중 어느 1개를 선택하여 직교 신호를 생성하고, 얻어진 직교 신호와 또한쪽의 극성 신호를 EXOR 회로(23)에 입력시켜, EXOR 회로(23)로부터 배직교 신호를 출력한다.

도 8은 입력 신호의 데이터 레이트가 384kbps(K=3)인 경우의 가변 속도 전송 장치를 도시하는 블록도이다. 데이터 레이트가 384kbps인 경우는, 배직교 신호 발생부(4-1, 4-2)내의 S/P 컨버터(21) 및 직교 신호 발생부(22)는 슬롯화부(3)로부터의 2계통의 입력 데이터를 각각 3개의 병렬 신호로서 출력하고, 2비트로 Walsh 함수의 W4(0) 내지 W4(3)중 어느 하나를 선택하여 직교 신호를 생성하고, 얻어진 직교 신호와 또 1비트의 극성 신호를 EXOR 회로(23)에 입력시키고, EXOR 회로(23)로부터 배직교 신호를 출력한다.

도 9는 입력 신호의 데이터 레이트가 512kbps(K=4)인 경우의 가변 속도 전송 장치를 도시하는 블록도이다. 데이터 레이트가 512kbps인 경우는, 배직교 신호 발생부(4-1, 4-2)내의 S/P 컨버터(21) 및 직교 신호 발생부(22)는, 슬롯화부(3)로부터의 2계통의 입력 데이터를 4개의 병렬 신호로 분할하여 출력하고, 3비트로 Walsh 함수의 W8(0) 내지 W8(7)중 어느 1개를 선택해서 직교 신호를 생성하고, 얻어진 직교 신호와 또 1비트의 극성 신호를 EXOR 회로(23)에 입력시키고, EXOR 회로(23)로부터 배직교 신호를 출력한다.

도 10은 입력 신호의 데이터 레이트가 128kbps(K=1)인 경우의 가변 속도 전송 장치를 도시하는 블록도이다. 이 데이터 레이트 이하인 경우에는, 배직교 신호를 생성하지 않고, 종래의 버스트 전송을 사용하여 단속적으로 데이터 전송을 행한다. 이 경우의 구성 및 동작은 종래의 것과 같으므로 그 설명을 생략한다. 그러나, 입력 신호의 데이터 레이트가 128kbps(K=1)인 것들을 제어 신호가 나타낼 경우, 도 5에 도시하는 배직교 신호 발생부(4-1, 4-2)의 구성에 있어서, 입력 신호를 S/P 컨버터(21)내에서 아무 것도 조작시키지 않고 통과시켜, 즉 데이터 레이트가 128kbps 이하인 경우에, S/P 컨버터(21)내에서 직렬/병렬 변환이 행해지지 않도록 하고 또한 직교 신호 발생부(22)의 출력을 항상 저레벨로 설정하도록 구성함으로써, 도 7 내지 도 9에 도시한 입력 신호의 데이터 레이트가 256kbps(K=2), 384kbps(K=3), 512kbps(K=4)인 경우와 동일한 구성으로 할 수 있다.

다음에, 이 실시예 1의 가변 속도 전송 장치 및 가변 속도 전송 방법에서의 적응 변조부(4)를 구성하는 배직교 신호 발생부(4-1, 4-2)의 동작에 관해서 설명한다. 적응 변조부(4)를 구성하는 배직교 신호 발생부(4-1, 4-2)의 각 동작에 관하여, 이하에서는, 입력 신호의 데이터 레이트가 512kbps(K=4)인 경우, 즉 입력 데이터가 4 입력 비트(d0 내지 d3)로서, 1계열의 배직교 신호를 발생하는 경우에 관해서 설명을 한다. 그 밖의 경우의 동작은 기본적으로 이하의 설명과 같으므로 여기서는 설명을 생략한다.

적응 변조부(4)내의 각 배직교 신호 발생부(4-1, 4-2)에 입력된 입력 데이터는, 우선 S/P 컨버터(21)에 의해 4 비트 병렬 데이터(d_0, d_1, d_2, d_3)로 변환된다. 다음에, 직교 신호 발생부(22)에 의해, 4 비트 병렬 데이터중에서, 제어 신호의 값($=K$)에 근거하여, $3(K-1)$ 비트 데이터(d_0, d_1, d_2)에 의해 $8(=2$

$K-1$

)개의 직교 신

호인 직교 부호중에서 선택된 1개의 직교 신호가 발생된다.

EXOR 회로(23)는, 직교 신호 발생부(22)에서 얻어진 직교 신호와, 4 비트 병렬 데이터중의 나머지 1 비트 데이터(d_3)와의 사이에서 승산 처리를 함으로써 극성 조작을 실행하고, 배직교 신호를 생성하여 외부로 출력한다.

이 실시예 1의 가변 속도 전송 방법 및 가변 속도 전송 장치에서는, 직교 부호를 얻기 위해서 Walsh 함수 부호 계열을 사용한다. 이 경우, 4 비트 병렬 데이터(d_0 내지 d_3)의 값에 의해, 도 11B에 도시하는 Walsh 함수 계열 $W8(n)$ ($n=0$ 내지 7)이 직교 신호로서 출력된다. 즉, 4 비트 병렬 데이터 중의 3 비트(d_0, d_1, d_2)의 값에 의해 1개의 함수 계열을 선택할 수 있으므로, 계열 길이 8의 Walsh 함수 계열이 8종류 생성된다. 참조 부호($W8$)는, 계열 길이가 8인 Walsh 함수를 나타내는 것이고, 괄호내의 숫자(0 내지 7)는 함수 번호를 나타낸다. 직교 신호로서 선택된 Walsh 함수 계열은, 4 비트 병렬 데이터의 나머지 1 비트 데이터(d_3)의 값에 따라서 반전 혹은 비반전되며, 결과가 배직교 신호로서 출력된다. 따라서, 배직교 신호는 계열 길이 8의 부호 계열로 구성되어, 4 비트의 정보를 포함한다.

또한, 디지털값의 반전, 비반전 조작은, 0, 1의 2치 표시인 경우는, 배타적 논리합 게이트가 행하고, +1, -1의 경우는 승산기가 행한다. 여기서는, 0, 1의 2치 표시를 사용하여 설명을 하고 있다. 또한, 이하의 설명에서는 Walsh 함수 계열의 처음부터 마지막까지의 지속 시간을 주기라고 부르고, Walsh 함수를 구성하는 부호의 간격을 부호 간격, 부호 간격의 역수를 부호 속도라고 부른다.

직교 신호로서 Walsh 함수를 사용하는 경우, 도 11C에 도시하는 직교 신호 발생부(22)는, 부호 속도($=1/T_{mc}$, T_{mc} : 부호 간격)의 $1/2, 1/4, 1/8$ 속도의 클럭(225, 226, 227)과, 입력 데이터(d_0, d_1, d_2)와의 논리적(論理積) 연산을 행하는 AND 회로(221 내지 223), 및 3개의 AND 회로(221 내지 223)의 출력의 배타적 논리합 연산을 행하는 EXOR 회로(224)로 구성되어 있다. 부호 속도의 클럭은, 하드웨어의 구성상 불가결한 클럭이고, 그 $1/2, 1/4, 1/8$ 속도의 클럭은 기본 클럭을 카운터 등의 분주 회로에 의해 생성한다.

직교 신호 발생부(22)는 Walsh 함수를 선택적으로 선택하여 직교 신호를 생성할 수 있다. Walsh 함수는 2

K

행 $\times 2$

K

열의 하다마르드(Hadamard) 행렬 $H(N)$ 의 행 벡터로서 정의되고, 2

$K-1$

행 $\times 2$

$K-1$

열의 하다마르드 행렬 $H(N/2)$ 을 되풀이한 $[H(N/2), H(N/2)]$ 및 반전시켜 되풀이한 $[H(N/2), H^*(N/2)]$ 으로부터 차수를 높여 확대적으로 작성된다. 여기서 기호 $*$ 는 반전 행렬을 나타내고 있다.

기준이 되는 H_1 은, 제 1행이 $[0, 0]$, 제 2행이 $[0, 1]$ 이고, 각각 $W_2(0), W_2(1)$ 에 대응한다. H_2 는 H_1 으로부터 $[H_1, H_1]$, $[H_1, H^*1]$ 과 같이 작성된다. 이 결과, $[0000]$, $[0101]$, $[0011]$, $[0110]$ 의 4개의 행벡터가 얻어지고, 각각 $W_4(0)$ 내지 $W_4(3)$ 의 각각에 대응한다. 같은 방법으로 작성된 $W_8(0)$ 내지 $W_8(7)$ 이 도 11B에 도시되어 있다. 여기서, $W_8(0)$ 과 $W_8(1)$, $W_8(2)$ 와 $W_8(3)$, $W_8(4)$ 와 $W_8(5)$, $W_8(6)$ 와 $W_8(7)$ 을 비교하면, 최하위 비트로부터 보아 홀수번째의 비트와 바로 다음의 짝수번째의 비트가 동일하거나 반전된 것으로서 분류된다.

동일한 것은, $W_8(0), W_8(2), W_8(4), W_8(6)$ 이고, 반전하고 있는 것은 $W_8(1), W_8(3), W_8(5), W_8(7)$ 이다. 이와 같이 동일하거나 반전하고 있는가의 판단은 도 11B에 도시하는 데이터의 최하위 비트(d_0)의 값에 대응하고 있다. 즉, 최하위 비트(d_0)가 0이면 동일하고, 최하위 비트(d_0)가 1이면 반전된다. 1 비트마다의 반전은 부호 속도의 $1/2$ 클럭(225)으로 실현된다. 그리고, 이것을 채용하는가의 여부는 최하위 비트(d_0)에 의존하고 있고, 논리적 회로인 AND 회로(221)를 통하여 실현된다.

최하위 비트로부터 2 비트씩 4개의 쌍으로 분할한 경우, $W_8(0)$ 과 $W_8(2)$, $W_8(1)$ 와 $W_8(3)$, $W_8(4)$ 와 $W_8(6)$, $W_8(5)$ 과 $W_8(7)$ 을 각각 비교하면, $W_8(0), W_8(1), W_8(4), W_8(5)$ 는 2연(連) 비트가 동일하고 되풀이되고 있는데 대하여, $W_8(2), W_8(3), W_8(6), W_8(7)$ 는 2연 비트가 반전하여 되풀이되고 있다. 이 동일하거나 반전인가의 판단은 도 11B에 도시하는 데이터의 제 2 비트(d_1)의 값에 대응하고 있다. 즉, 제 2비트(d_1)가 0이면 동일하고, 제 2 비트(d_1)가 1이면 반전된다. 2비트 단위의 반전은 부호 속도의 $1/4$ 클럭(226)으로 실현된다. 그리고, 이것을 채용하는가의 여부는 제 2비트(d_1)에 의존하고 있고, 논리적 회로인 AND 회로(222)를 통하여 실현된다.

최하위 비트로부터 4 비트씩의 계열이 동일하게 연속하는가, 반전하여 연속하는가는 제 3 비트(d_2)의 극성에 대응하고 있다. 4 비트마다의 계열 반전은 부호 속도의 $1/8$ 클럭(227)으로 실현된다. 그리고, 이것을 채용하는가의 여부는 제 3 비트(d_2)에 의존하고 있고 논리적 회로인 AND 회로(223)를 통하여 실현된다.

이들, 3개의 비트 간격에서의 반전 혹은 비반전한 결과를 EXOR 회로(224)를

통과함으로써, 그 결과를 포함한 계열이 Walsh 함수로서 얻어진다. 따라서, EXOR 회로(224)로부터 입력 데이터 비트(d0, d1, d2)에 의존한, 즉 d0, d1, d2에 의해 선택되는 Walsh 함수 계열이 직교 신호로서 출력된다.

이와 같이, 직교 신호 발생부(22)는, 생성이 용이한 클럭 및 입력 데이터만으로 특정한 직교 신호를 생성할 수 있으므로, 이것을 삼입하면 간단한 하드웨어 구성으로 파워 앰프의 선형성을 유지할 수 있는 기능을 구비한 송신기가 실현된다. 또한, 직교 신호의 생성이 용이하므로, 배직교 신호 발생부(4-1, 4-2)에서의 배직교 신호의 생성도 용이하게 실현된다. 수신기에 있어서는, 배직교 신호를 복조하는 조작이 필요하지만 송신기 측에서 Walsh 함수를 직교 함수로서 사용하고 있는 경우, 고속 하다마르드 변환(Fast Hadamard Transformer : FHT)을 함으로써, 복조 처리를 용이하게 실행할 수 있으므로, 간단한 하드웨어 구성으로 수신기를 구성할 수 있고, 복조 처리를 간단히 할 수가 있다.

배직교 신호 발생부의 구성이 도 6에 도시하는 바와 같이 심볼 매핑부(24)를 갖는 배직교 신호 발생부의 동작을 도 12A 및 도 12B를 사용하여 설명한다. 도 12A에 도시되는 바와 같이 심볼 매핑부(24)는 극성 비트(d3)와 그 밖의 입력 데이터(d0, d1, d2)와의 사이에서 EXOR 연산을 한 뒤, 직교 신호 발생부(22)에 입력된다. 그 결과 직교 신호 발생부(22)에는 d'0, d'2, d'3이 입력된다. 입력 데이터(d0, d1, d2, d3)와 배직교 신호의 관계는 도 12B에 도시된다. 이 경우의 심볼 매핑은 전체 비트가 서로 반전 관계에 있는 입력 비트를 동일한 직교 함수로 극성이 다른 배직교 신호로 할당하는 것을 의미한다. 즉, (d0, d1, d2, d3)가 (0, 0, 0, 0)와 (1, 1, 1, 1)는 각각 W8(0), -W(0)로 할당된다. 동일하게 (0, 0, 0, 1)와 (1, 1, 1, 0)는 각각 W8(1)와 -W8(1)로 할당된다. 배직교 신호는 직교 함수간의 신호 거리보다도 동일 직교 함수에서 부호가 다른 신호 거리쪽이 커지기 때문에, 동일 직교 함수에서 극성이 다른 신호간에서의 에러 확률은 최소가 된다. 즉, 이러한 매핑을 함으로써, 복조시에 모든 비트를 잘못 복조할 확률을 최소로 할 수 있다.

상기의 예에서는 배직교 신호를 얻기 위해 직교 신호로서 Walsh 함수를 선택하여 출력하는 직교 신호 발생부(22)를 사용했지만, 본 발명의 가변 속도 전송 방법 및 가변 속도 전송 장치는 이것에 한정되지 않고, 예를 들면, Walsh 함수 대신에 직교 코드 신호 계열 등을 직교 함수로 사용할 수 있다.

이상과 같이, 이 실시예 1에 의하면, 에러 정정 부호 등의 일련의 신호 처리를 한 후에, 소정의 데이터 레이트를 넘는 고속 데이터에 대하여는 직렬/병렬 변환을 하여 배직교 신호로 변환하여 2차 계열로 송신한다. 즉, 기본 레이트를 넘는 데이터 레이트의 신호 전송의 경우에 있어서, 배직교 신호를 사용하여 데이터 신호를 2차 계열의 상태로 확산 변조하여 전송하므로, 고속의 데이터 레이트의 경우라도 파워 앰프(6)의 선형성을 유지할 수가 있고, 인접 주파수대와의 간섭을 주지 않으면서 고품질의 데이터 전송을 행할 수 있다. 또한, Walsh 함수를 사용하므로 하드웨어의 구성이 용이하고, 복조 처리도 간단한 구성으로 실현된다. 또한, 배직교 신호 전송은 에러율 특성이 우수하기 때문에 데이터 에러율 특성을 향상할 수가 있어 한층 더 고품질의 데이터 전송을 할 수 있다.

<실시예 2>

도 4 내지 도 11A 내지 도 11C에 도시한 실시예 1의 가변 속도 전송 방법 및 가변 속도 전송 장치에 있어서는, 에러 정정 부호 등의 일련의 신호 처리를 한 후에, 직렬/병렬 변환을 행하여 배직교 신호를 생성해서 복수의 신호 계층을 송신하는 경우를 도시하였지만, 고속 레이트의 신호 송신 처리를 할 경우에는, 최초로 직렬/병렬 변환을 행한 후에, 에러 정정 부호 등의 일련의 신호 처리를 하는 방식도 생각된다. 이하에서 설명하는 실시예 2의 가변 속도 전송 방법 및 가변 속도 전송 장치에서는, 고속 데이터 레이트의 입력 신호를 최초로 직렬/병렬 변환을 행한 후에, 에러 정정 부호 등의 일련의 신호 처리를 하여, 멀티코드를 사용하지 않고 배직교 신호를 생성하여 2차 계열로 고속으로 데이터를 송신하는 경우에 관해서 설명한다.

도 13은 본 발명의 실시예 2에 의한 가변 속도 전송 장치를 도시하는 블록도이고, 도면에 있어서, 80은 직렬/병렬 컨버터(이하, S/P 컨버터라고 한다 : 제 2 S/P 컨버터)이고, 이송자 데이터 및 제어 데이터의 데이터 신호를 복수의 병렬 신호로 변환한다. 81은 포워드 에러 정정부(Forward Error Correcting부 : FEC부, 신호 처리 수단)이고, 그 기능으로서는, 에러 정정 부호(삽입 부호)화 처리, 인터리브 처리, 및 파일럿 심볼이나 CRC의 삽입 프레임 처리 등의 일련의 처리를 행한다. 4는 적응 변조부, 5는 QPSK 스프레더이고, 이들은 도 4 내지 도 10에 도시한 실시예 1의 가변 속도 전송 장치의 것과 같으므로 동일한 참조 부호를 사용하며 그 설명을 생략한다.

도 14 내지 도 17 각각은, 입력 신호의 데이터 레이트가 128kbps, 256kbps, 384kbps, 및 512kbps의 각각의 경우에 대응한 것으로, 도 13에 도시한 실시예 2의 가변 속도 전송 장치의 구성을 도시한 블록도이다.

다음에 동작에 관해서 설명한다.

S/P 컨버터(80)는 고속 데이터 레이트의 입력 신호를 입력하고, 병렬 데이터 신호로 변환한다. FEC부(81)는 S/P 컨버터(80)에서 변환된 최대 4개의 병렬 데이터 신호를 입력하고, 에러 정정 부호화 처리, 삽입 부호화 처리, 인터리브 처리, 파일럿 심볼이나 CRC의 삽입 프레임 처리 등의 일련의 처리를 행한다. 각 FEC부(81)로부터 출력된 병렬 데이터 신호는 실시예 1의 가변 속도 전송 장치에서의 적응 변조부(4)내에 입력된다. 그 후의 동작은 도 4 내지 도 10에 도시한 실시예 1의 가변 속도 전송 장치의 적응 변조부(4), QPSK 스프레더(5)의 동작과 완전히 같기 때문에, 여기서는 그들의 설명을 생략한다.

이와 같이, 실시예 2의 가변 속도 전송 방법 및 가변 속도 전송 장치에서는 최초로 데이터 신호를 직렬/병렬 변환하고, 얻어진 병렬 데이터 신호에 대하여 에러 정정 부호 등의 일련의 신호 처리를 행하고, 멀티코드를 사용하지 않고 배직교 신호를 생성하여 복수의 신호 계층을 송신한다.

이상과 같이, 이 실시예 2에 의하면, 고속 데이터 레이트의 입력 신호를 최초로 직렬/병렬 변환을 행하여 복수개의 확산 부호 채널로 분리한 후에, 에러 정정 부호 등의 일련의 신호 처리를 행하고, 멀티코드를 사용하지 않고 배직교 신호를 생성하여 복수의 신호 계층을 송신한다. 따라서, 실시예 1의 경우와 같이, 기본 레이트 이상의 데이터 레이트의 신호 전송의 경우에 있어서, 심볼을 확산하는 부분에서 Walsh 함수로 얻어지는 배직교 신호를 사용하여 데이터 신호를 2차 계층의 상태로 확산 변조하여 전송하기 때문에, 고속의 데이터 레이트의 경우라도 파워 앰프(6)의 선형성을 유지할 수 있고, 인접 주파수대에 간섭을 주지 않고 고품질의 데이터 전송을 행할 수 있다. 또한, Walsh 함수를 사용하기 때문에 하드웨어의 구성이 용이하고, 복조 처리도 간단한 구성으로 실현된다. 또한, Walsh 함수를 사용하여, 배직교 신호를 생성하기 때문에 데이터 에러율 특성이 향상되어 보다 고품질의 데이터 전송을 할 수 있다. 또한, 실시예에서는 확산 변조로서 QPSK 스프레더를 사용하고 있다. 이 경우, 배직교 신호가 2계층 입력되지만, QPSK이기 때문에, 통상의 QPSK와 동일하게 포락선 변동은 생기지 않는다.

산업상이용가능성

이상과 같이, 본 발명에 따른 가변 속도 전송 방법 및 가변 속도 전송 장치는 데이터 레이트가 고속의 경우라도 파워 앰프의 선형성을 유지하여 고품질의 데이터를 전송하는데 적합하다.

(57) 청구의 범위

청구항 1.

데이터 신호를 확산 부호 계열을 사용하여 확산 변조해서 송신하는 가변 속도 전송 장치에 있어서,

상기 데이터 신호의 전송 레이트가 소정의 전송 레이트 이하의 경우는 그대로의 형으로 데이터 신호를 스프레더에 입력하고, 소정의 전송 레이트 이상의 경우는, 배직교 신호를 사용하여 데이터에 따른 부호화 비트 수로 부호화한 신호를 스프레더에 입력함으로써, 확산 변조 신호의 신호 처리 속도를 동일 속도로 처리하는 수단을 구비한 것을 특징으로 하는 가변 속도 전송 장치.

청구항 2.

제 1 항에 있어서,

데이터 신호에 대하여 에러 정정 부호화 처리 등의 일련의 신호 처리를 행하는 신호 처리 수단과, 상기 신호 처리 수단의 출력에 대하여 직렬/병렬 변환을 행하는 제 1 직렬/병렬 컨버터를 또한 구비하고, 배직교 신호를 사용하여 상기 데이터 신호를 2차 계층의 상태로 확산 변조하여 전송하는 수단은, 상기 제 1 직렬/병렬 컨버터로부터 출력되는 병렬 출력 신호에 대하여, 배직교 신호를 사용하여 2차 계층의 상태로 확산 변조하여 전송하는 것을 특징으로 하는 가변 속도 전송 장치.

청구항 3.

제 1 항에 있어서,

데이터 신호를 직렬/병렬 변환하는 제 2 직렬/병렬 컨버터와, 상기 제 2 직렬/병렬 컨버터로부터 출력되는 병렬 데이터 신호의 각각에 대하여 선택되고, 소정의 에러 정정 부호화 등의 일련의 신호 처리를 행하는 신호 처리 수단을 또한 구비하고, 배직교 신호를 사용하여 상기 데이터 신호를 2차 계층의 상태로 확산 변조하여 전송하는 수단은, 상기 신호 처리 수단으로부터 출력되는 출력 신호에 대하여 확산 변조하여 전송하는 것을 특징으로 하는 가변 속도 전송 장치.

청구항 4.

제 1 항에 있어서,

배직교 신호를 사용하여 데이터 신호를 2차 계층의 상태로 확산 변조하여 전송하는 수단은, Walsh 함수를 사용하여 상기 배직교 신호를 생성하는 것을 특징으로 하는 가변 속도 전송 장치.

청구항 5.

데이터 신호를 확산 부호 계열을 사용하여 확산 변조해서 송신하는 가변 속도 전송 방법에 있어서,

상기 데이터 신호의 전송 레이트가 소정의 전송 레이트 이하의 경우는 그대로의 형으로 데이터 신호를 스프레더에 입력하고, 소정의 전송 레이트 이상의 경우는, 배직교 신호를 사용하여 데이터에 따른 부호화 비트 수로 부호화한 신호를 스프레더에 입력함으로써, 확산 변조 신호의 신호 처리 속도를 동일 속도로 처리하는 것을 특징으로 하는 가변 속도 전송 방법.

청구항 6.

제 5 항에 있어서,

배직교 신호를 얻기 위해 Walsh 함수를 사용하는 것을 특징으로 하는 가변 속도 전송 방법.

요약

데이터 신호를 확산 부호 계열을 사용하여 확산 변조하여 송신하는 가변 속도 전송 장치이고, 데이터 신호의 전송 레이트가 소정의 전송 레이트(128kbps)이상의 경우는, 배직교 신호를 사용하여 상기 데이터 신호를 2차 계열의 상태에서 확산 변조하여 전송하는 수단(4, 5, 6)을 구비한 가변 속도 전송 장치.

대표도

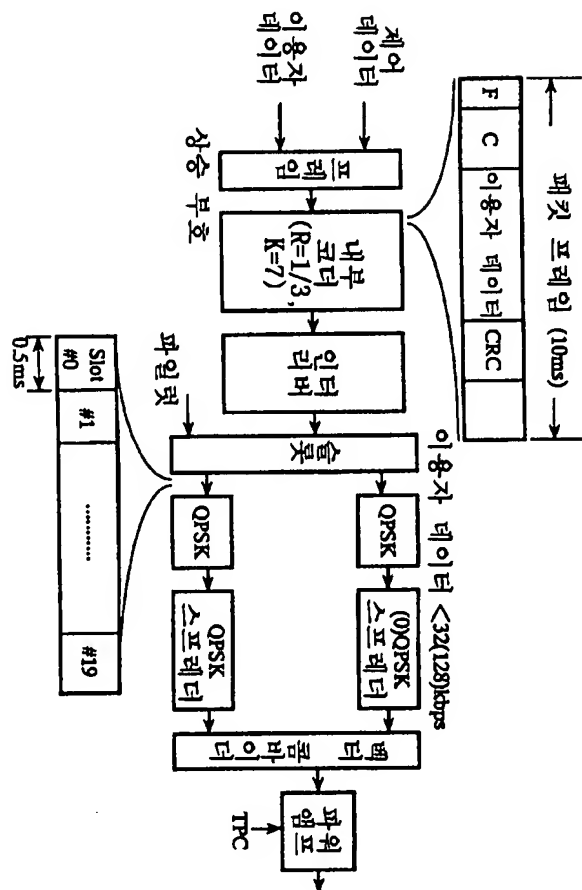
도4

색인어

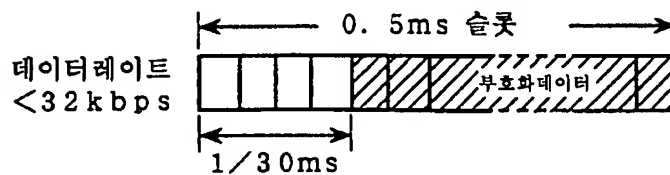
가변 속도 전송, 스펙트럼 확산 통신, 배직교 신호, 심볼 매핑, 확산 변조

도면

도판 1



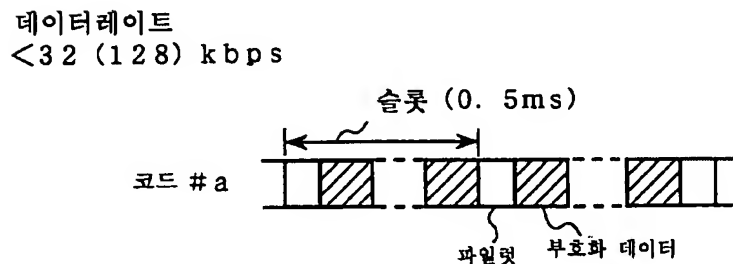
도면 2A



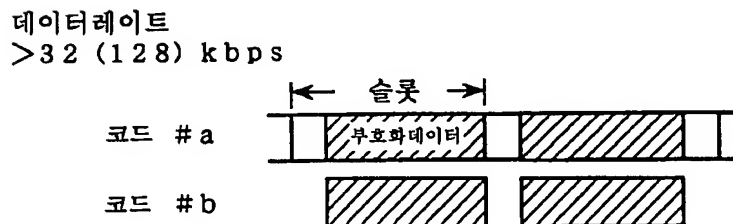
도면 2B



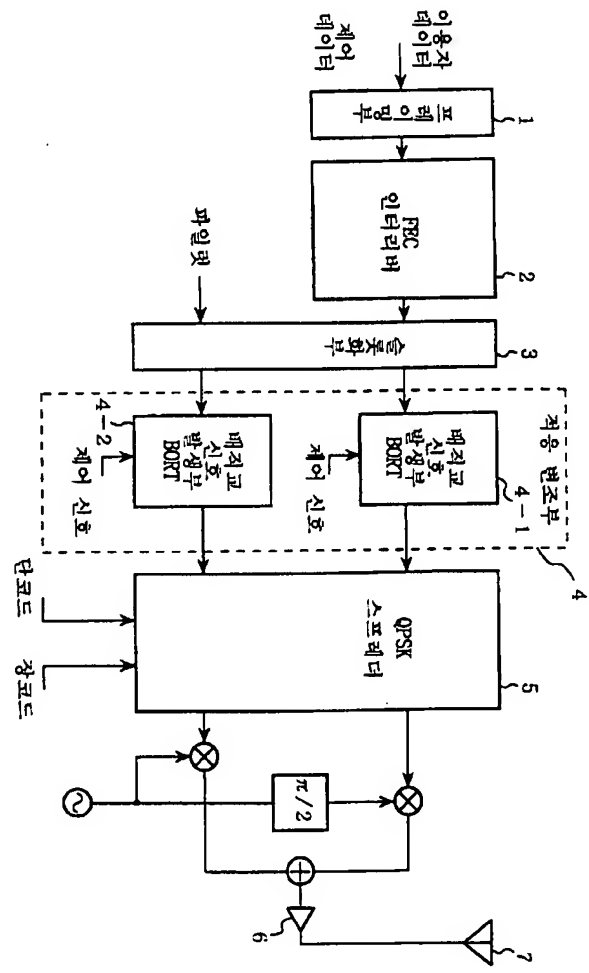
도면 3A



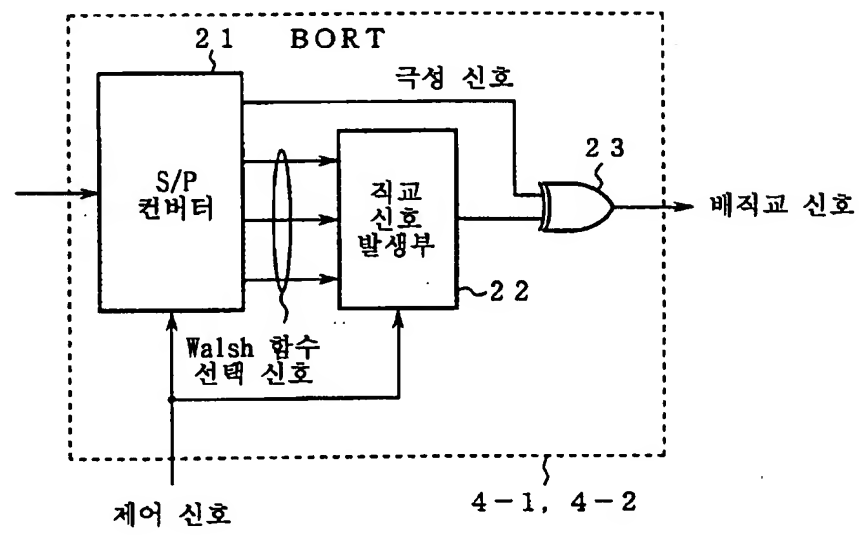
도면 38



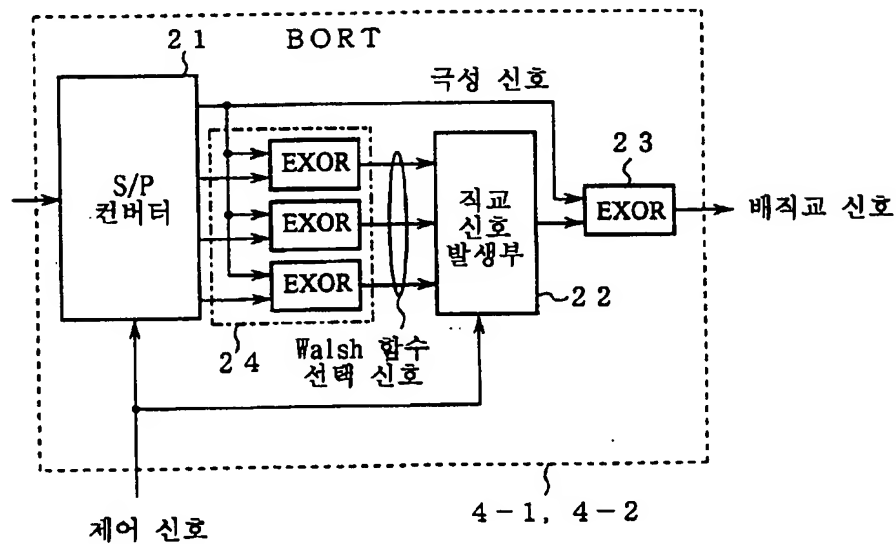
도면 4



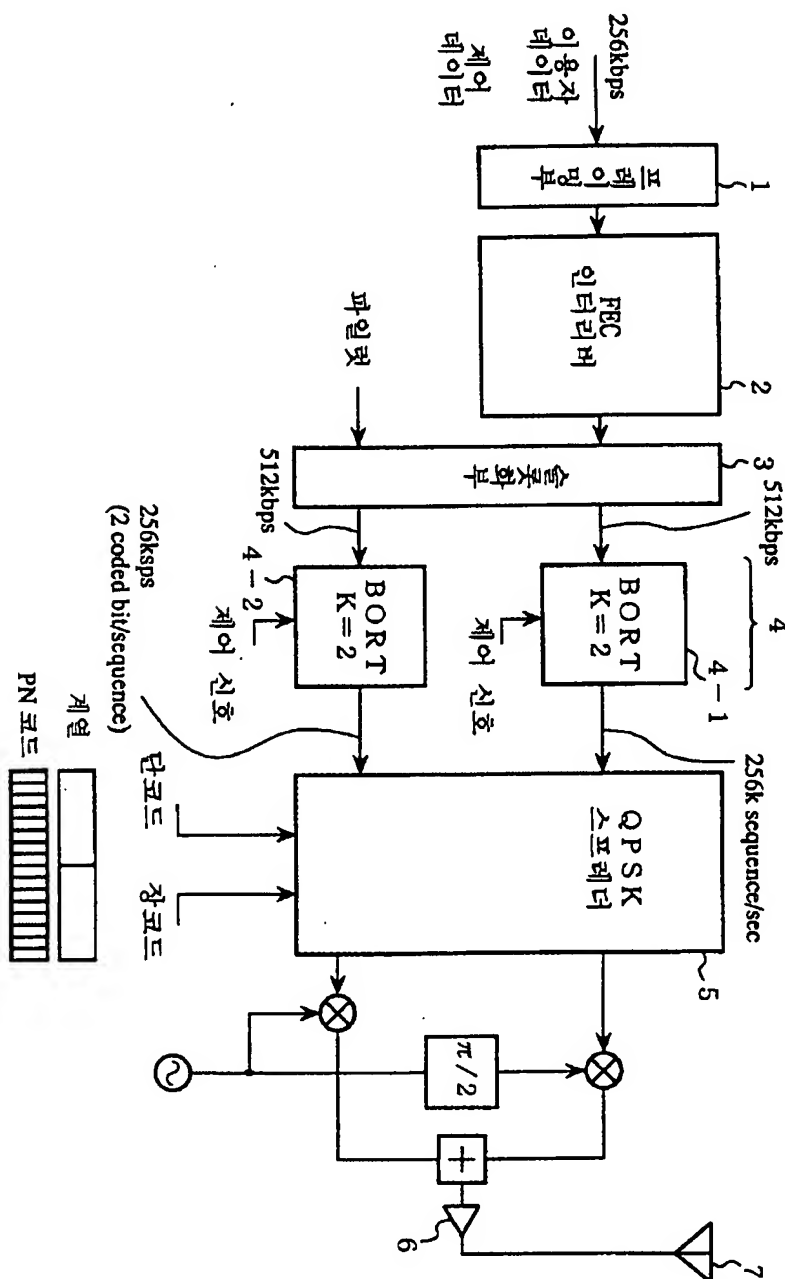
도면 5

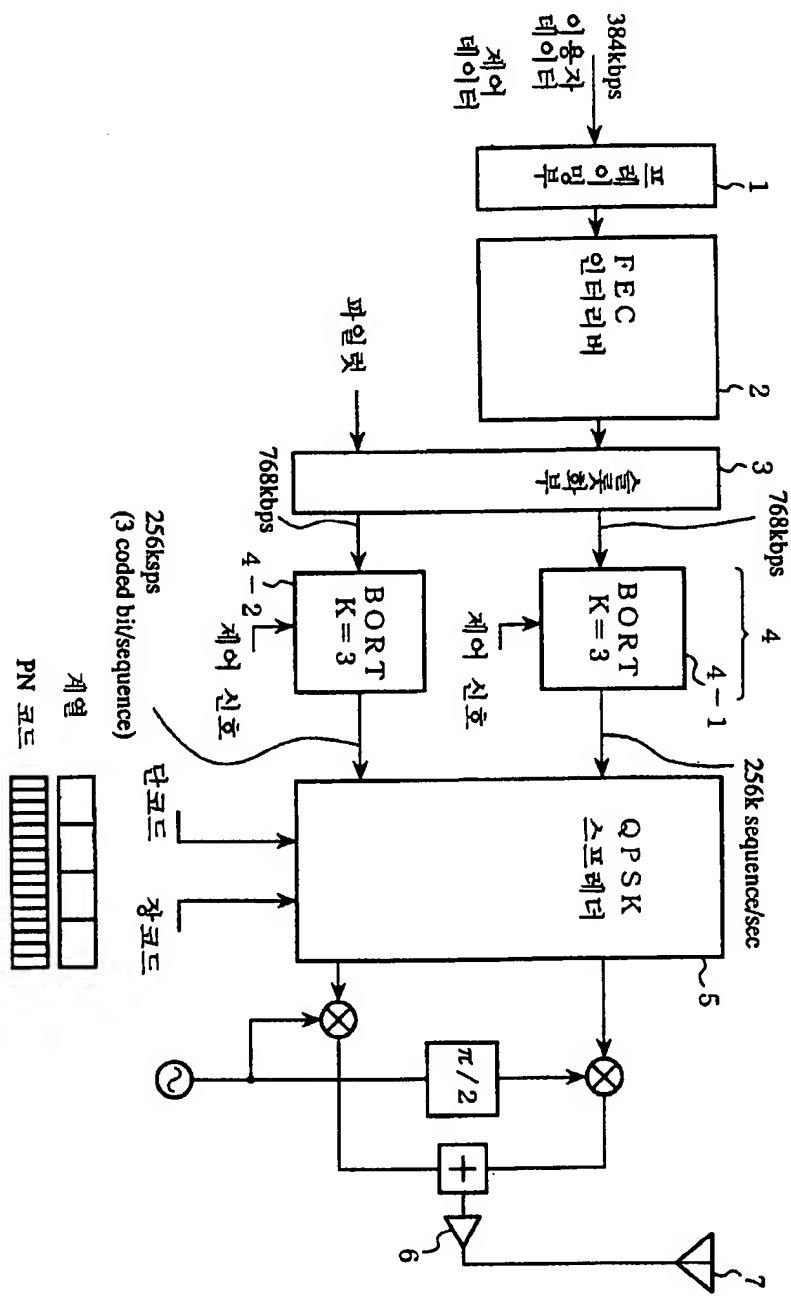


도면 6



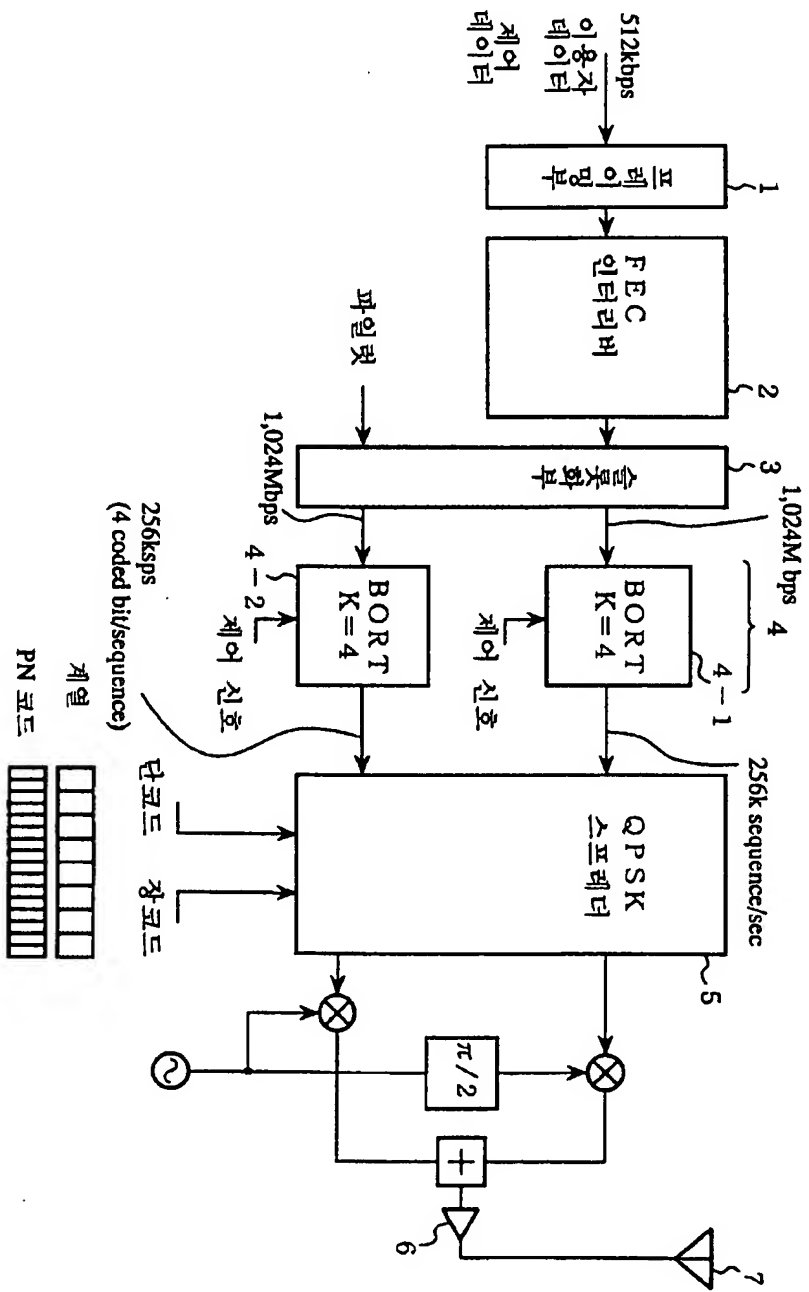
도면 7

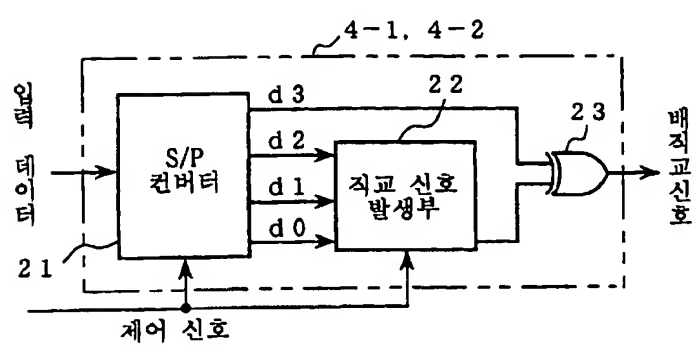
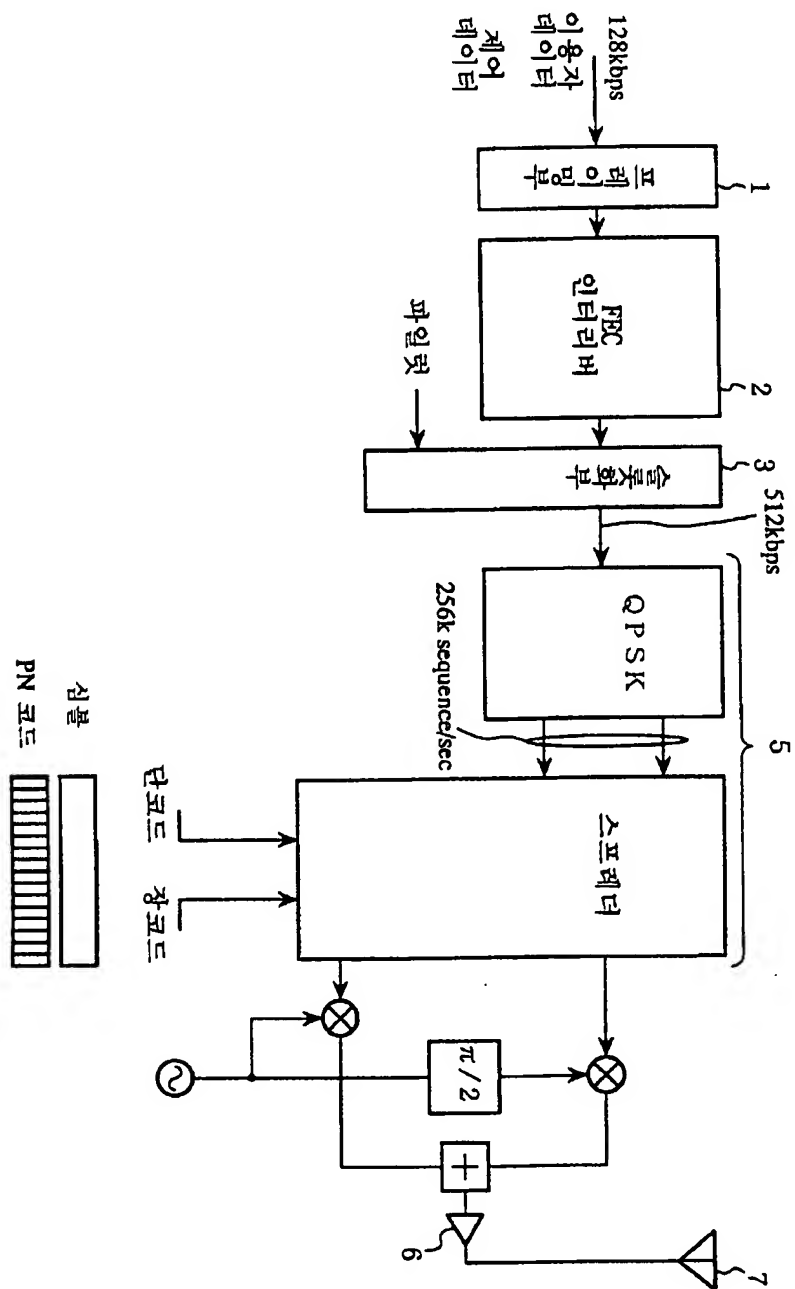




도면 8

도면 9



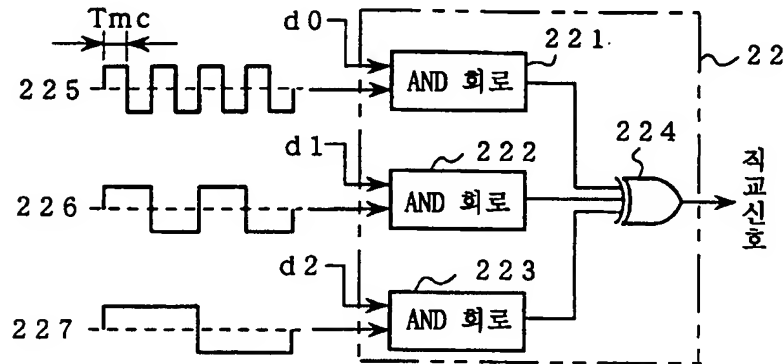


도면 11A

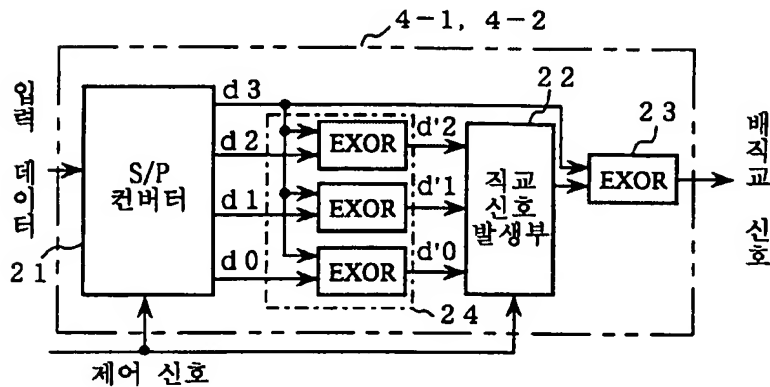
도면 118

d3	d2	d1	d0	Code Seq. (배직교 신호)
0	0	0	0	W8 (0) 00000000
0	0	0	1	W8 (1) 01010101
0	0	1	0	W8 (2) 00110011
0	0	1	1	W8 (3) 01100110
0	1	0	0	W8 (4) 00001111
0	1	0	1	W8 (5) 01011010
0	1	1	0	W8 (6) 00111100
0	1	1	1	W8 (7) 01101001
1	0	0	0	-W8 (0) 11111111
1	0	0	1	-W8 (1) 10101010
1	0	1	0	-W8 (2) 11001100
1	0	1	1	-W8 (3) 10011001
1	1	0	0	-W8 (4) 11110000
1	1	0	1	-W8 (5) 10100101
1	1	1	0	-W8 (6) 11000011
1	1	1	1	-W8 (7) 10010110

도면 11C



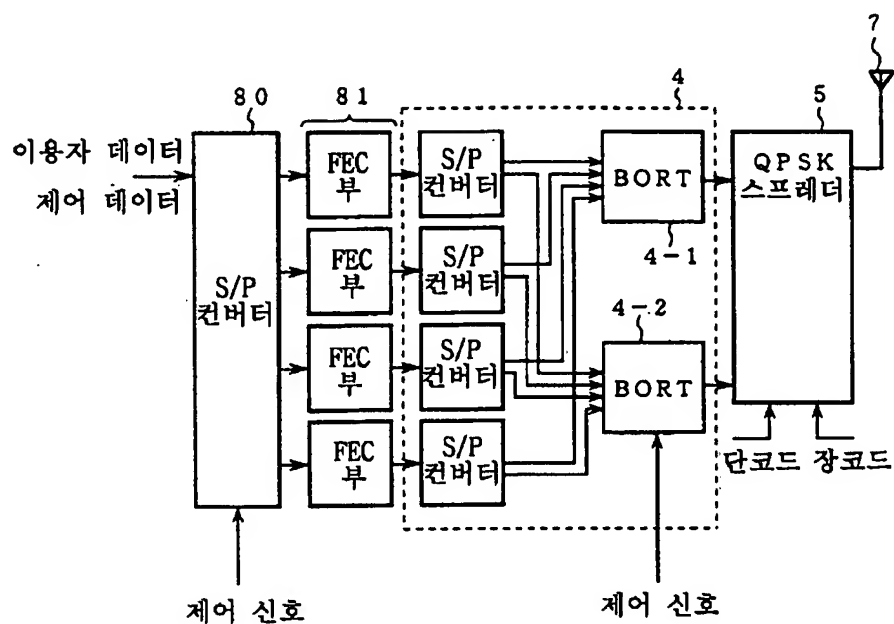
도면 12A



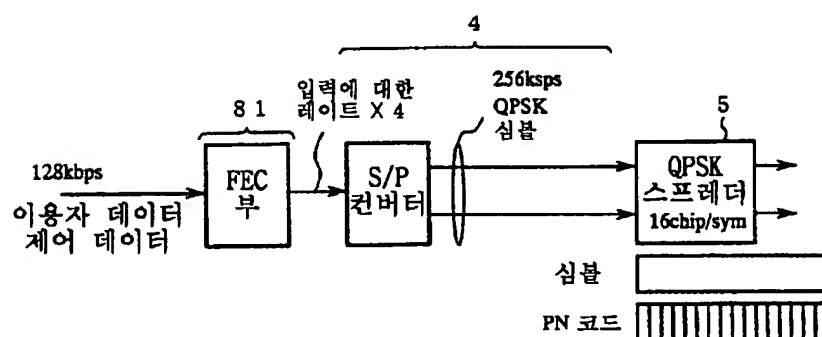
도면 12B

d3	d2	d1	d0	Code Seq. (배직교 신호)
0	0	0	0	W8 (0) 00000000
0	0	0	1	W8 (1) 01010101
0	0	1	0	W8 (2) 00110011
0	0	1	1	W8 (3) 01100110
0	1	0	0	W8 (4) 00001111
0	1	0	1	W8 (5) 01011010
0	1	1	0	W8 (6) 00111100
0	1	1	1	W8 (7) 01101001
1	0	0	0	-W8 (7) 10010110
1	0	0	1	-W8 (6) 11000011
1	0	1	0	-W8 (5) 10100101
1	0	1	1	-W8 (4) 11110000
1	1	0	0	-W8 (3) 10011001
1	1	0	1	-W8 (2) 11001100
1	1	1	0	-W8 (1) 10101010
1	1	1	1	-W8 (0) 11111111

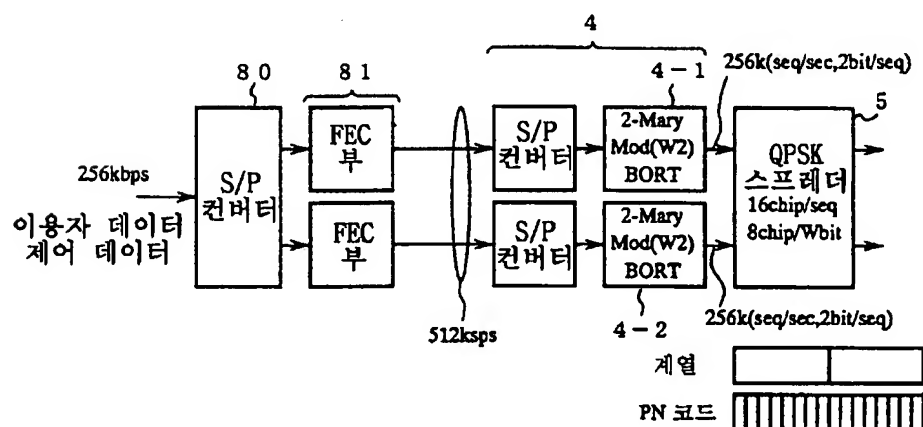
도면 13



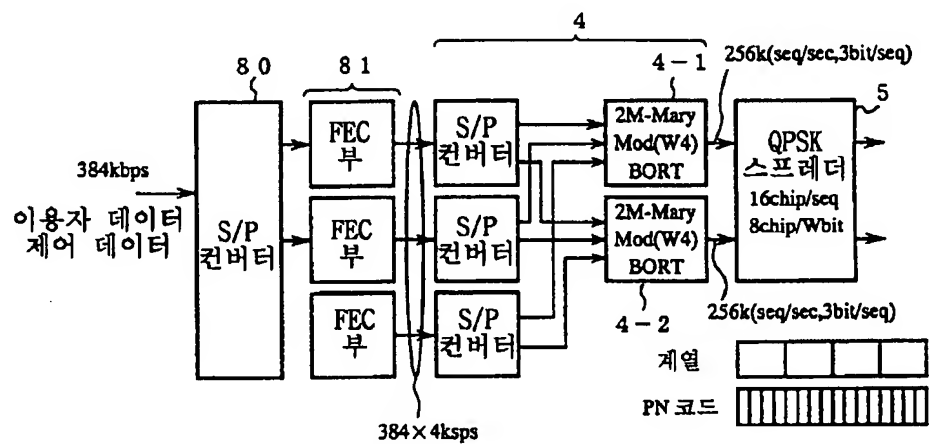
도면 14



도면 15



도면 16



도면 17

